

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

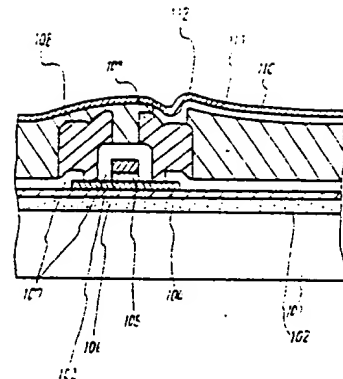
**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(54) ACTIVE MATRIX SUBSTRATE FOR LIQUID CRYSTAL DISPLAY DEVICE

(11) 2-234134 (A) (43) 17.9.1990 (19) JP  
(21) Appl. No. 64-55344 (22) 7.3.1989  
(71) NEC CORP (72) KEN SUMIYOSHI(1)  
(51) Int. Cl.<sup>5</sup> G02F1 136.G09F9 30

**PURPOSE:** To obtain the active matrix substrate for the liquid crystal display device which has high yield and high performance by making a high-steepness step of aluminum wiring, etc., into a smooth flat surface by a process wherein a flattening film is formed by spin coating.

**CONSTITUTION:** For example, a specific material is applied by spin coating, etc., to form the transparent insulation flattening film 110 by baking it. Then a specific device layer is adhered on a glass substrate 101 with an adhesive layer 102 and the flattening film 110 reduces the step of about  $1\mu\text{m}$  formed of matrix wiring, etc., to, for example, about  $0.1 - 0.2\mu\text{m}$ . Further, a step of matrix wiring, etc., is steep by photolithography, but made smooth by the flattening film 110. Therefore, a liquid crystal orientated film 112 formed on a display electrode 111, etc., becomes flat. Consequently, the whole liquid crystal orientated film 112 is rubbed uniformly without spoiling a TFT and orientated film defects are eliminated.



103: insulation film, 104: poly-Si semiconductor layer, 105: gate insulation film, 106: gate electrode, 107: insulation film for separating wiring, 108: drain wiring, 109: source contact

349/138

## ⑫ 公開特許公報(A) 平2-234134

⑮ Int. Cl.<sup>3</sup>G 02 F 1/136  
G 09 F 9/30

識別記号

5 0 0  
3 3 8

庁内整理番号

7370-2H  
6422-5C

⑬ 公開 平成2年(1990)9月17日

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 液晶表示装置用アクティブマトリクス基板

⑯ 特 願 平1-55344

⑰ 出 願 平1(1989)3月7日

⑱ 発 明 者 住 吉 研 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑲ 発 明 者 坂 本 幹 雄 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号  
㉑ 代 理 人 弁理士 内 原 晋

## 明 細 書

## 発明の名称

液晶表示装置用アクティブマトリクス基板

## 特許請求の範囲

絶縁性基板上に、マトリクス状に形成され薄膜半導体アクティブ素子、該アクティブ素子を通じ信号を制御、印加するためのマトリクス配線、前記アクティブ素子および前記マトリクス配線を覆い前記絶縁性基板上に形成された透明の絶縁性平坦化膜、該絶縁性平坦化膜上に形成された表示電極とから少なくとも構成された事の特徴とする液晶表示装置用アクティブマトリクス基板。

## 発明の詳細な説明

## (産業上の利用分野)

本発明は、薄膜半導体を用いたアクティブ素子を有する液晶表示装置用アクティブマトリクス基板に関する。

## 〔従来の技術〕

近年、薄膜トランジスタ(TFT)や薄膜ダイオード(TFD)等の薄膜半導体を用いたアクティブ素子を各画素毎に設け、高画質化を狙ったアクティブマトリクス液晶表示装置の開発が活発である。この様な液晶表示装置は、液晶を2枚の基板ではさんだ構造で、一方は前記アクティブ素子をマトリクス状に形成したアクティブマトリクス基板、他方は例えばガラス基板上全面に透明電極を形成してなる対向基板から構成されている。液晶としては通常コントラストの高くとれるTN型が多く用いられるため、アクティブ素子形成用基板もガラス等の透明基板を利用した透過型液晶表示装置が開発されている。

アクティブ素子のチャネル領域となる薄膜半導体材料としては、主にアモルファスシリコン(a-Si)やポリシリコン(poly-Si)が使用されている。a-Siは、低温で膜形成が可能な事から安価なガラス基板を使用でき、最近の多くのポケット型液晶テレビ等に応用されている。

好な配向膜とするための摩擦力を強くしたりすると、TFTに損傷を与えかねない。以上の様に従来例においては、液晶配向膜211形成のラビング時において配向膜不良をおこしたり、またTFTに損傷を与えたりする歩留りの悪い構造であった。以上の課題は、石英基板上に直接poly-SiTFTを形成したアクティブマトリクス基板においても同様である。

本発明の目的は、この様な従来の欠点を取り除き、高歩留りで高性能な液晶表示装置用アクティブマトリクス基板を提供する事にある。

〔課題を解決するための手段〕

上記目的を達成するためには、本発明の液晶表示装置用アクティブマトリクス基板は、絶縁性基板上に、マトリクス状に形成され薄膜半導体アクティブ素子、該アクティブ素子を通じ信号を制御、印加するためのマトリクス配線、前記アクティブ素子および前記マトリクス配線を覆い前記絶縁性基板上に形成された透明の絶縁性平坦化膜、該絶縁性平坦化膜上に形成された表示電極とから

少なくとも構成されたものである。

〔実施例〕

以下本発明の一実施例について図面を参照して説明する。

第1図は、本発明の一実施例を説明するための液晶表示装置用アクティブマトリクス基板の断面図である。第1図において、例えば保持基板として安価な透明ガラス基板101を用い、この上に接着層102を介してpoly-SiTFTからなるマトリクス状に配列されたアクティブ素子を有する薄膜のデバイス層が設置されている構造は前に述べた従来例と同様である。また接着層102も従来例同様例えばエポキシ系あるいはポリイミド系の透明性接着材である。

以下デバイス層について詳細に説明する。図示されていないが単結晶シリコン基板上に熱酸化法やCVD法等により二酸化シリコンの絶縁膜103を形成する。厚さは特に限定は無いが後で述べるデバイス層を形成するための研磨精度から1000Å以上が望ましい。この絶縁膜103上

に例えばCVD法によりpoly-Si半導体層104を蒸着、マトリクス状の各画素毎のTFTチャネル領域となる様に島状にパターン化する。続いてpoly-Si半導体層104上に例えば熱酸化による二酸化シリコンからなるゲート絶縁膜105、poly-Siゲート電極106を通常のシリコンICのMOSFETと同等なプロセスで順次形成、パターン化する。poly-Siゲート電極106は、そのままマトリクス配線の例えば水平配線を形成し、poly-SiTFTの開閉制御を行なう。poly-Si半導体層104にソース、ドレイン領域を形成する例えばイオン注入を行なった後、ゲート電極106と後のアルミ配線を分離する配線分離用絶縁膜107を形成し、ソース、ドレイン領域にコンタクトホールをあける。次いで、厚さ1μm程度にアルミニウムを全面蒸着後、信号印加配線となるドレイン配線108およびソースコンタクト109にパターン化する。ドレイン配線108は例えば垂直配線を形成しゲート電極106の水平配線とでマ

トリクス配線を構成する。その後、少なくともマトリクス状に配列されたpoly-SiTFTを含む前記マトリクス配線で囲まれた領域全面に、例えば二酸化シリコン系塗膜材料（商品名 東京応化製OCD）あるいはアクリル系樹脂塗膜材料（商品名 日本合成ゴム製JSS-451）等を1μm～2μm程度スピンコート等で塗布し焼成する事により透明の絶縁性平坦化膜110を形成する。次に、マトリクス状に配列された全てのpoly-SiTFTのソースコンタクト109上の前記平坦化膜110にフォトリソグラフィによりコンタクトホールを形成し、各々のソースコンタクト109と接続され各画素に分離された例えばITOからなる透明の表示電極111を設置する。この時表示電極111は、例えば500Å～1000Åの薄膜であるため、例えばコンタクトホール部の段差が0.5μm～1μmとなる様な平坦化膜110形成条件である場合は、エッチバック等により段差低減が望ましい。最後に、従来例で述べた様に選択ポリッシングを用い、単結

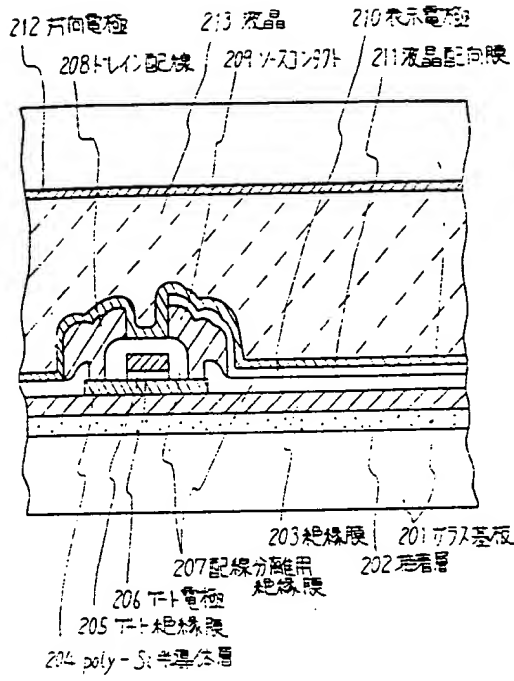


図 2

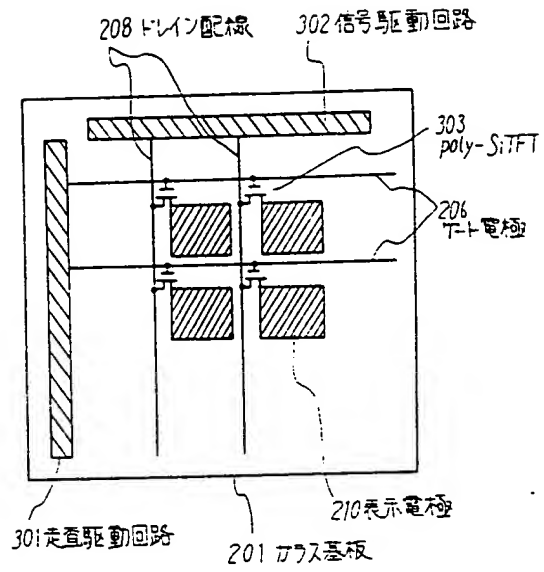


図 3